

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-272965  
 (43)Date of publication of application : 03.12.1986

(51)Int.Cl.

H01L 27/14  
H04N 5/335

(21)Application number : 60-114064

(22)Date of filing : 29.05.1985

(71)Applicant : HITACHI LTD

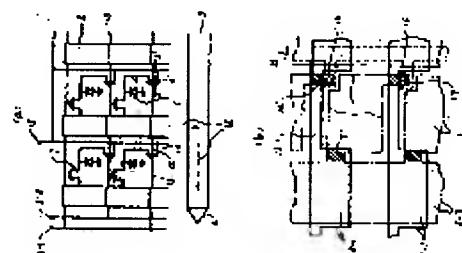
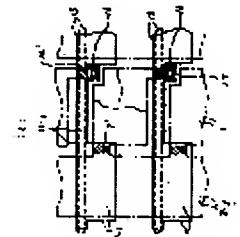
(72)Inventor : KOIKE NORIO  
ANDO HARUHISA  
OBA SHINYA  
NAKAI MASAAKI  
OZAKI TOSHIBUMI

## (54) CHARGE TRANSFER TYPE SOLID-STATE IMAGE PICKUP ELEMENT

## (57)Abstract:

PURPOSE: To improve plane constitution by forming an overflow MOS transistor under a wiring region in a vertical CCD, operating a CCD electrode as a control gate in combination and passing a conductive wiring connecting each drain in common to the upper section of the vertical CCD.

CONSTITUTION: A wiring 13 for a CCD electrode is utilized as a gate for an overflow MOS transistor 14. Drains 16 are shaped on the side reverse to a photodiode 1 while holding the wiring 13, and several drain 16 is connected in common with drain wirings 15. Since the wirings 15 are passed to the upper sections of adjacent vertical CCD shift registers 2 as shown in the figure at that time, the occupying areas of the wirings 15 take substantially 0, and vertical CCDs 2 can be light-shielded by the wirings. The wirings 15 may be passed in the vertical direction, but they may be passed in the horizontal direction by utilizing the upper section of a wiring region 13-1 in a CCD electrode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

## ⑪ 公開特許公報 (A) 昭61-272965

⑤Int.Cl.

H 01 L 27/14  
H 04 N 5/335

識別記号

庁内整理番号

④公開 昭和61年(1986)12月3日

7525-5F  
8420-5C

審査請求 未請求 発明の数 2 (全14頁)

④発明の名称 電荷移送形固体撮像素子

②特願 昭60-114064

②出願 昭60(1985)5月29日

⑦発明者 小池 紀雄 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 安藤 治久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 大場 信弥 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦発明者 中井 正章 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑦出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑦代理人 弁理士 小川 勝男 外1名

最終頁に続く

## 明細書

発明の名称 電荷移送形固体撮像素子

## 特許請求の範囲

1. 同一半導体基板上に複数の光電変換素子、該光電変換素子群の蓄積した光信号電荷を読み出す電荷転送素子群および過剰光信号電荷を外部へ掃き出すオーバーフローMOSトランジスタを集成化した電荷移送形固体撮像素子において、垂直用電荷転送素子を構成する電極の配線領域を該オーバーフローMOSトランジスタのゲート電極に割合て、該トランジスタのドレインを対応する光電変換素子より垂直方向に一行ずれた光電変換素子領域に配置し、かつ、各ドレインを共通に接続した導電性配線の少なくとも一部の配線領域が該垂直電荷転送素子の上部を走るようにしたことを特徴とする電荷移送形固体撮像素子。

2. 同一半導体基板上に複数の光電変換素子、該光電変換素子群の蓄積した光信号電荷を読み出す電荷転送素子群および過剰光信号電荷を外部

へ掃き出すオーバーフローMOSトランジスタを集成化した電荷移送形固体撮像素子において、垂直用電荷転送素子を構成する電極の配線領域に該オーバーフローMOSトランジスタを割当て、少なくとも該オーバーフローMOSトランジスタのゲート電極を該電極の配線の一部で構成することを特徴とする電荷移送形固体撮像素子。

3. 特許請求の範囲第2項において、該オーバーフローMOSトランジスタのドレインを該電極の配線に接続した事を特徴とする電荷移送形固体撮像素子。

4. 特許請求の範囲第2項において、該電極の配線の領域に複数個の該オーバーフローMOSトランジスタを設け、各オーバーフローMOSトランジスタのゲート電極は同一の該電極の配線の一部で構成し、各オーバーフローMOSトランジスタのドレインも同一の該電極の配線に接続して形成し、各オーバーフローMOSトランジスタのソースは隣接する光電変換素子に各々

接続した事を特徴とする電荷移送形固体撮像素子。

5. 特許請求の範囲第2項において、該光電変換素子に複数の該オーバーフローMOSトランジスタを接続し、各オーバーフローMOSトランジスタのドレインを隣接する該電極の配線に各々接続した事を特徴とする電荷移送形固体撮像素子。

6. 特許請求の範囲第2項において、第1の導電形の半導体基板上に設けた逆の導電形の半導体層内に該電荷移送形固体撮像素子を設け、該電極の配線の一部の下の該半導体層は除去され、除去された該半導体側面も該オーバーフローMOSトランジスタのゲート領域とし、該半導体基板を該オーバーフローMOSトランジスタのドレインとする事を特徴とする電荷移送形固体撮像素子。

7. 特許請求の範囲第6項において、該電極の配線の領域に複数個の該オーバーフローMOSトランジスタを設け、各オーバーフローMOSト

されている撮像用電子管並みの解像力を備えた撮像板を必要とし、このため垂直方向に500個、水平方向に800～1000個を配列した絵葉（光電変換素子）マトリックスとそれに相当する走査素子が必要となる。したがつて、上記固体撮像装置は高集成化が必要なMOS大規模回路技術を用いて作られ、構成素子として一般KCCD（CCD形撮像素子）あるいはMOSトランジスタ（MOS形撮像素子）等が使用されている。

第1図(a)に低雑音を特徴とするCCD形撮像素子の構成を示す（例えば、堀居ほか“ブルーミング改良型2/3インチ単板カラー用CCD撮像素子”，テレビジョン学会技術報告，ED525, May 1980,に記載されている）。1は例えは光ダイオードから成る光電変換素子、2および3は光電変換素子群に蓄積された光信号を出力端4に取り出すための垂直CCDシフトレジスタ、および水平シフトレジスタである。5-1, 5-2, 6-1及び6-2は各々垂直シフトレジスタ、水平シフトレジスタを駆動するクロックパルスを入力する

ランジスタのゲート電極は同一の該電極の配線の一部で構成し、各オーバーフローMOSトランジスタのドレインは該半導体基板とし、各オーバーフローMOSトランジスタのソースは隣接する光電変換素子に各々接続した事を特徴とする電荷移送形固体撮像素子。

8. 特許請求の範囲第6項において、該光電変換素子に複数の該オーバーフローMOSトランジスタを接続し、各オーバーフローMOSトランジスタのゲート電極を隣接する該電極の配線の一部で各々構成した事を特徴とする電荷移送形固体撮像素子。

#### 発明の詳細な説明

##### 〔発明の利用分野〕

本発明は、半導体基板上に光電変換素子、および各素子の光学情報を取出す電荷転送素子(Charge Coupled Devices)を集積化した固体撮像装置に関するものである。

##### 〔発明の背景〕

固体撮像装置は現行のテレビジョン放送で使用

端子である。ここでは2相のクロックパルスを入力する場合を図示したが、4相あるいは3相のいずれのクロック形態を採用してもよい。また、7は光ダイオード1に蓄積された電荷を垂直シフトレジスタ2に送り込む転送MOSトランジスタを示している。ここでは転送MOSトランジスタのゲートは垂直CCDシフトレジスタの構成電極2-1が兼用する構成を示したが、このゲート用に独立の電極を用いる構成（CCD電極と転送ゲート電極を切り離し独立にした構成）にしてもかまわない。また、8は強烈な光が入射した時に発生する過剰電荷をドレイン10に排き出すオーバーフローMOSトランジスタ、9はオーバーフローMOSトランジスタ8の排き出し電位を制御するオーバーフロー制御ゲートである。12は電荷の転送方向、13は垂直CCD用電極の配線領域を示している。本素子はこのままの形態では白黒撮像素子となり、上部にカラーフィルタを積層すると各光ダイオードは色情報を備えることになりカラー撮像素子となる。

固体撮像装置は小型、軽量、メインテナンスフリー、低消費電力など電子管に較べて固体化に伴う多くの利点を有しており、撮像デバイスとして将来が期待されているものである。しかしながら、現在の CCD 形撮像素子は以下に説明するような理由により光感度が低いという問題を備えている。第 1 図(b)は第 1 図(a)に示した撮像素子の構成単位となる画素(同図(a)の点線 1-1 で示す)の平面構成を示した図である。2-1 は転送 MOS ドライン用の配線(例えは第 1 層目の多結晶シリコンで形成する)、2-2 は垂直 CCD 2 を構成するもう 1 つの電極(例えは第 2 層目の多結晶シリコンで形成する)、2-3 は垂直 CCD 2 のチャンネル領域(チャンネルは電通の通路を意味する)、7' は転送 MOS ドライン用の配線(例えは第 1 層目の多結晶シリコンで形成する)、7' は転送 MOS ドライン用の配線を示している。入射光が強烈な場合は光ダイオード 1 に蓄積しきれない過剰電荷が発生するが、この過剰分はゲート領域 8' を介してドレイン用の配線 10' に掃き出される。この掃き出しによつてブルーミングの発生を防ぐことができ画質は著しく改善することができる(ブルーミングとは過剰電荷が隣接する垂直 CCD 2 に溢れ出しモニター上で縦方向に白い縞を発生する現象である)。しかし乍ら、ゲート領域 8'、制御ゲート用配線 9'、ドレイン用配線 10' によつて食われる面積は画素のかなりの部分を占めるため、光ダイオードの面積および光の当たる面積(一般に開口率と称する)は著しく減少する。前者のダイオード面積の減少は信号電荷の蓄積容量を低下させダイナミックレンジを狭くするという問題をひき起す。この面積は、領域 8'、9'、10' の面積の他に 8'、9'、10' を絶縁分離する面積も必要なので相当小さくなる。一方、後者の開口率は領域 8'、9'、10' の存在により 20% 程度しか得られず(すなわち入射光の 1/5 しか信号に利用することができないので)、光感度の低下を招き CCD 形素子の大きさ問題となつてゐる。さらに将来高解像度化を図るために画素寸法を小さくしようとする場合には、これら 8'、9'、10' の領域の面積割合は現在より増え、ダイナミックレンジおよび光感度は増え減少することになる。一方、固体撮像装置の CCD 形素子とならぶもう 1 つの素子である MOS 形撮像素子においても、前述と同様のオーバーフロー MOS ドライン用の配線が光ダイオードに付加されブルーミングの抑制が行われている。MOS 形素子においては信号の転送が CCD 形素子と違ひ金属等の配線で行われるため CCD シフトレジスタのように面積を食わず第 1 図の様なオーバーフロードレインを設けても光ダイオードの面積あるいは開口率の低下は CCD 形素子の場合程大きくならない。したがつて、CCD 形素子にとつてはオーバーフロー MOS ドライン用の配線をも兼ねるようになり、トランジスタおよび配線の占める面積を極力減らすようにすることが今後の重要な課題となる。

## 〔発明の目的〕

本発明の目的は、CCD 形素子におけるオーバ

ドレイン用の配線領域下にオーバーフロー MOS ドライン用の配線を形成し、CCD 電極が制御ゲートを兼ねるようにし、かつ、この制御ゲートを挟んで光ダイオードの反対側にドレインを形成し、各ドレインを共通に接続した導電性の配線を垂直 CCD の上部を走らせるように平面構成上の改良を図つたものである。

さらに、本発明は、垂直 CCD 用電極の配線領域下にオーバーフロー MOS ドライン用の配線を形成し、垂直 CCD 用電極の配線がオーバーフロー MOS ドライン用の配線のゲート電極を兼ね、オーバーフロー MOS ドライン用のドレイン用配線をも兼ねるようとしたものである。

〔発明の実施例〕

以下、本発明を実施例を用いて詳細に説明する。

本発明の CCD 形撮像素子の実施例を第 2 図に示

す。第2図(a)に示した素子構成において、14は本発明のオーバーフローMOSトランジスタであり、ゲートにはCCD電極の配線13が利用されている。ドレイン16は配線13を挟んで光ダイオード1と反対側に設けられ、各ドレイン16は共通にドレイン配線15に接続されている。本構成によるオーバーフローMOSトランジスタ14ではゲート配線(第1図における9)を省略することができ、構成が簡略になることが理解できるが、このトランジスタ14の占有面積は第2図(b)に示すように配線の省略にとどまらず、もつと大きく減少する。第2図(b)において、14'はトランジスタ14のゲート領域であり、ゲート電極にはCCD電極の配線13-1が割当てられる。16はドレイン領域であり、ドレイン上の絶縁膜に形成した穿孔17を介して配線15(Aと、多結晶シリコン等)の導電体に接続されている。ここで、配線15を図示した様に隣接する垂直CCDシフトレジスタ2の上部を走らせることにより、配線15の食う面積は実質的に0になり、さらに、こ

孔17を介してドレインに接続した配線、13-1はCCD電極配線を利用したゲート電極、19はゲート用酸化膜(例えはSiO<sub>2</sub>)、20は電子分離用の厚い酸化膜である。また、21は光ダイオードの過剰電荷を掃き出す電位を所定の値に設定するため(すなわち、所定のしきい値電圧に設定するため)に設けた不純物注入層であり、例えは基板と同型かつ基板より濃度の高い不純物で形成すればよい。但し、掃き出し電位は13-1に印加する電圧レベルによつても制御できるので、この不純物層は必ずしも必要ではなく、削除してもよい。

第3図(b)は第2図(a)に示したy-y'断面で切つた図であり、16はドレイン、2-1、2-2は垂直CCDを構成する電極、22は垂直CCDを埋込みチャネルにする不純物層(例えはn型、本層はチャネルを表面型にする場合は不要である)である。15は穿孔17を介してドレインに接続した配線であり、この配線は垂直CCDの上部を走るようにレイアウトされている。

の配線によつて光をあててはいけない垂直CCD2のしゃ光を行うことができる(しゃ光を完全に行うためには、配線の幅を広げ垂直CCD2がすつかり覆われるようすればよい)。ことに示したレイアウト図から分るようオーバーフロートランジスタ14、配線15の食う面積は殆んどなくなり、光ダイオードの面積を第1図に示した従来素子の場合に較べ50%程度向上することができる。この結果、光感度およびダイナミックレンジを従来に較べ1.5倍程度改善することができる。また、配線15は前述のように垂直方向(上下方向)に走らせてよいが、第2図(c)に示すようにCCD電極の配線領域13-1の上部を利用して水平方向(左右方向)に走らせても構わない。

第3図は第2図に示したオーバーフロートランジスタ領域の断面構造を示した図である。第3図(a)は第2図(a)に示したx-x'断面で切つた図であり、18は半導体基板(例えはp型)、14はオーバーフロートランジスタ、16はオーバープロードレイン(例えはn型の拡散層)、15は穿

孔17を介してドレインに接続した配線、13-1はCCD電極配線を利用したゲート電極、19はゲート用酸化膜(例えはSiO<sub>2</sub>)、20は電子分離用の厚い酸化膜である。また、21は光ダイオードの過剰電荷を掃き出す電位を所定の値に設定するため(すなわち、所定のしきい値電圧に設定するため)に設けた不純物注入層であり、例えは基板と同型かつ基板より濃度の高い不純物で形成すればよい。但し、掃き出し電位は13-1に印加する電圧レベルによつても制御できるので、この不純物層は必ずしも必要ではなく、削除してもよい。

第3図(c)はオーバーフロートランジスタ14のゲート酸化膜19'を同図(a)の19の場合より厚くした場合のx-x'断面構造である。オーバーフロートランジスタ14のゲート電極下の電位は前述の不純物注入層21、ゲート13-1に印加する電圧レベルの他に酸化膜の膜厚によつても制御できるので、膜厚の選択により所定の電位に設定することができる。本実施例の場合においても不純物注入層21を設けても勿論かまわない。

第3図(d)は光ダイオードとして前述の様な接合型ではなく、MIS型(Metal Insulator Semiconductor)を用いた場合の例である。23は光透過性のある透明または不透明な電極、24は電極23と基板18を絶縁する酸化膜(膜厚は19と同一でも、異なつてもどちらでもかまわない)である。電極23に所定の電圧を印加することにより、基板表面には空乏層26が形成され、入射光により発生した光信号電荷はこの空乏層内に蓄積される。ここで、蓄積容量には23、24、18で作られるMIS容量が使われる。こ

の場合におけるオーバーフロートランジスタの構成、構造は前述の第3図(a)の場合と同様である。

第4図はオーバーフロートランジスタ14のゲートに同一列の光ダイオード1に関するCCD電極の配線13を用いた場合の例である。この場合にはトランジスタ14のドレイン16は図示の如くゲート配線13の上側に設置することになる。

光ダイオード1の配列(換言すれば転送MOSトランジスタ7)は同一方向を向く場合ばかりでなく、用途、性能上の要求からシグザグ状に向かれる場合もある。この場合の実施例を第5図に示す。本構成においてはオーバーフロートランジスタも14-1, 14-2で示すようにシグザグ状に配置すればよい。ドレイン16-1は配線15-1に接続され、ドレイン16-2はもう1つの配線15-2に接続され、2つの配線は光ダイオードアレーの周辺の任意の場所で1つの配線15にまとめられる。本構成の場合、配線の数は第2図、第4図に示した実施例の倍に相当する2本(15-1, 15-2)に増えるが、これらの配線は第5図(b)に示

すように垂直CCD2上を走らせればよいので、配線15-1, 15-2の食う面積は実質的には非常に小さい。

オーバーフロートランジスタのゲート領域14'は第6図(a)に示すように配線13-1の殆どの領域を利用するようにしてよい。この場合は、ゲート領域14'の拡大に応じてドレイン領域16も長くなり若干光ダイオードの面積は小さくなるが、このドレイン領域16が上下に配列された光ダイオード間の分離を行なう作用も果すため、解像度が向上する、即ちスマア(ブルーミングの一種)が減少するという利点がある。本実施例では転送ゲート7'は下側に持つてきたが(したがつて、転送ゲートのゲートのゲート電極には第2層目の多結晶シリコン電極2-2が利用されることになる)、第2図の例に示したように上側(第1層目の多結晶シリコン電極を利用)に配置してもよい。また、この実施例のように転送ゲート7'が第2層目のCCD電極、オーバーフロートランジスタのゲートが第1層目のCCD電極というように異

なる層の電極で形成される場合には、CCDを駆動するクロックパルス("1", "0"レベルを繰り返す)の"1"レベルパルスの電圧値をパルス毎に異なる値にしてもよい。第2図に示した実施例のような場合には、各々のパルスの"1"レベルは、通常同一電圧に設定する。この様な場合のクロックパルスの1例を第6図(b)に示す。 $\phi_1$ は例えば第1層目の電極に印加するパルス、 $\phi_2$ は例えば第2層目の電極に印加するパルスである。 $\phi_1$ の"1"レベルを成單にとり $V_1$ とした場合、 $\phi_2$ の"1"レベル $V_2$ は $V_1 > V_2$ 、あるいは $V_1 < V_2$ としてもよい。この様にすることによりオーバーフローゲート下の電位を所定の値に設定することができる。ここで、第1図のCCD素子のように4相のクロックパルスを用いる場合は、 $\phi_1$ ,  $\phi_2$ から位相がずれた、さらに2つのパルスが使用される。

本発明のCCD形摄像素子のさらに他の実施例を第7図に示す。第7図(a)に示した素子構成において、14はオーバーフローMOSトランジスタ

であり、ゲート電極にはCCD電極の配線15が利用されており、ドレインも共通に垂直CCD電極の配線15に接続されている。本構成によるオーバーフローMOSトランジスタ14ではゲート配線およびドレイン配線(第1図における9と10)を省略することができ、構成が簡略になることが理解できるが、本トランジスタの占有面積は第7図(b)に示すように配線の省略にとどまらず、CCD電極の配線領域下に形成するためもつと大きく減少する。14'はオーバーフローMOSトランジスタ14のゲート領域であり、ゲート電極には垂直CCD電極の配線15-1の一部が割当てられる。16はドレイン領域であり、ドレイン上のゲート絶縁膜に形成した穿孔を介してCCD電極配線15-1(多結晶シリコンシリサイド層、W, Mo等の導電体)に接続されている。第7図(b)に示したレイアウト図から分るようオーバーフローMOSトランジスタ14の食う面積はまつたくなり、光ダイオードの面積を第1図に示した従来素子の場合に較べて50%程度向上することが

できる。この結果、光感度およびダイナミックレンジを従来に較べ1.5倍程度改善することができる。

第8図は第7図に示したオーバーフローMOSトランジスタ領域の断面構造を示した図である。第8図(a)は第7図に示したx-x'断面で切った図であり、18は半導体基板(例えばP型)、14はオーバーフローMOSトランジスタ、16はオーバーフロードライン(例えばn型の拡散層)、15-1はCCD電極配線を利用したゲート電極、19はゲート用酸化膜(例えばSiO<sub>2</sub>)、20は電子分離用の厚い酸化膜である。また、21は光ダイオードの過剰電荷を掃き出す電位を所定の値に設定するため(すなわち、所定のしきい値電圧に設定するため)に設けた不純物注入層であり、例えば基板と同型かつ基板より濃度の高い不純物で形成すればよい。

第8図(b)はオーバーフローMOSトランジスタ14のゲート酸化膜19'を第8図(a)の場合より厚くした場合のx-x'断面構造である。トラン

24、18で作られるMIS容量が使われる;この場合におけるオーバーフロートランジスタの構成、構造は前述の第8図(a)の場合と同様である。

第9図(a)は光ダイオード1に2個のオーバーフローMOSトランジスタ14を設け、各々のドレンを隣接する上、下のCCDの電極に接続した実施例である。第9図(b)はその一平面図であり、簡単にレイアウトする事ができるとともに、開口率の低減も抑圧できる。

第10図(a)は光ダイオードに1個のオーバーフローMOSトランジスタ14を設けたものであり、2個のオーバーフローMOSトランジスタのドレンを共用した実施例である。第10図(b)に示すように、配線幅aを小さくでき開口を少し広くできる。

第11図は第7図(a)の実施例において、平面的に改良したものである。第11図(a)はオーバーフローMOSトランジスタ14のチャネル長30を長くしたものであり、チャネル長が短かい時に発生するしきい電圧の低下等の寄生効果(ショート

ジスタ14のゲート電極下の電位は前述の不純物注入層21、ゲート15-1に印加する電圧レベルの他に酸化膜の膜厚によつても制御できるので、膜厚の選択により所定の電位に設定することができる。本実施例の場合においても第9図(a)においても不純物注入層21を設けなくても勿論かまわない。

ここで、光ダイオード1は信号読み出し時に完全に空乏化する低不純物濃度のN層であつても、空乏化しない高濃度のN<sup>+</sup>層であつてもよい。

第8図(c)は光ダイオードとして前述の様な底合型ではなく、MIS型(Metal Insulator Semiconductor)を用いた場合の例である。23は光透過性のある透明または不透明な電極、24は電極23と基板18を絶縁する酸化膜(膜厚は19と同一でも、異なつていてもどちらでもかまわない)である。電極23に所定の電圧を印加することにより、基板表面には空乏層26が形成され、入射光により発生した光信号電荷はこの空乏層内に蓄積される。ここで、蓄積容量には23、

チャネル効果)を抑圧できる。第11図(b)、(c)、(e)はCCD電極の配線bを小さくでき、開口率を向上できるものである。第11図(d)は(a)、(b)、(c)、(e)の両方の効果をとり入れたものである。

第12図は、第9図(a)、第10図(a)の実施例において、第11図と同様を改良を行なつたものである。第12図(a)はチャネル長を長くしたものであり、第12図(b)は開口率を向上したものであり、第12図(c)は両者をとり入れたものであり、第11図で述べたと同様な効果が得られる。

以上の実施例においてはP形Si基板上に形成した拡散葉子について説明したが、本発明は基板によらず実施できる事は自ずまでもない(例えば、N形基板上のP形ウエル層内の葉子に適用しても効果は変わらない)。また、導電型を全く逆にしても同様である。

第13図(a)はCMOS構造をもつ葉子であり、例えば、N形Si基板上のP形ウエル層に第7図と同じ回路構成をもつ葉子を実現したものである。異なる点はオーバーフローMOSトランジスタ

14のドレインがN形S1基板30に接続している事である。第13図(b)は平面図であり、31はP形ウエル層の1部を穴明けした部分である。この部分(x-x')の断面を第14図に示し説明する。第14図(a)の32はN形基板であり、33はP形ウエル層である。穴31部のウエル層は除去され、穴の側面もオーバーフローMOSトランジスタ14のゲート領域として用い、穴の底面はN形基板32に接しているため、光ダイオード1からあふれた電荷は電極配線15-1の下部で、P形ウエル層の表面および穴部の側面のゲートチャネル領域を介して、ドレインとして働く、N形基板32に誘導できる。第14図(b)は第14図(a)のゲート酸化膜19を厚い酸化膜19'としたものであり、第14図(c)は光ダイオード1をMOSダイオード構造としたものである。

第15図(a), (b)は第13図のオーバーフローMOSトランジスタ14を光ダイオード1に2個並列接続したものの回路構成と平面図である(第9図と対応)。

場合、転送ゲート電極として第3層目の多結晶シリコンを用いてもよいし、Moなどの耐熱性のある金属電極を利用してもよい。また、以上の実施例ではCCD形素子の中で最も一般的なインターライン形CCD素子を例にとつてきたが、勿論フレームトランスファ形のCCD素子或はフレーム・インターライントラスファ形のCCD素子であつてもよく、本発明は前記実施例に対する場合と全く同じように適用できる。

以上、実施例を用いて詳細に説明したように、オーバーフローMOSトランジスタの回路および平面構成を改めることにより、

(I) オーバーフローMOSトランジスタおよびそれに附随する配線の占める面積が著しく減少し、その結果、光ダイオードの面積の増加(ダイナミックレンジの向上)および開口率の拡大(光感度の向上)を図ることができる。

(II) オーバーフロー制御ゲートは垂直CCD電極と兼用しているため、外部からみた出力ピン端子の数は従来素子に較べて一本少なく、消費電力の

第16図(a), (b)は光ダイオードあたり1個のオーバーフローMOSトランジスタを各行毎に反対の隣接する電極の配線に接続したものであり、第10図で説明したものと同様の効果が出せる。

第13図～第16図の実施例において、オーバーフローMOSトランジスタのゲートチャネル長は例えば、第14図(a)の平面方向のチャネル長34と側面方向のチャネル長35の和となり、第11図で説明したショートチャネル効果は起きにくい構造となつており、34は大きくても小さくてもよい。しかし、側面方向のチャネル長35が小さくなつた時には第17図(第11図に対応)、第18図(第12図に対応)に示すように平面方向のチャネル長34を長くするようにレイアウトできる。

以上の実施例においては転送ゲート電極は垂直CCDの電極と兼用する例を図示してきたが、転送ゲートをCCD電極とは独立に設ける構成にしてもよい。この場合は、例えばCCD電極を第1層目、第2層目の多結晶シリコン電極で形成する

低減、カメラ回路の簡略化(カメラ価格の低減)を図ることができる。

(III) オーバーフロードレインが光ダイオード等と同一工程で製作できるため、製作が簡単である(従来素子のドレインは同一工程で製作できず、工程数が多い)。

等実用上極めて大きな効果を有している。

#### [発明の効果]

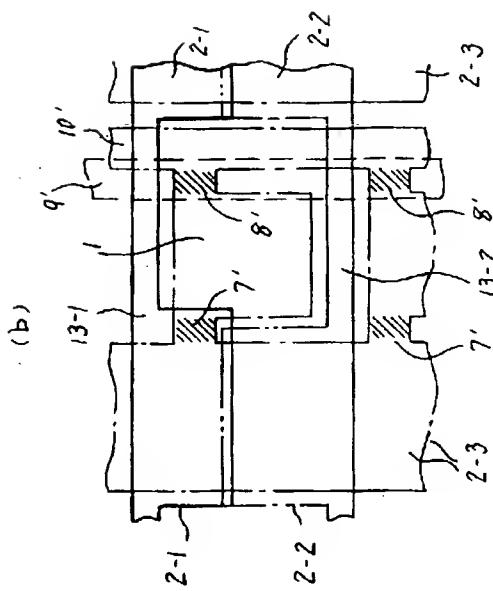
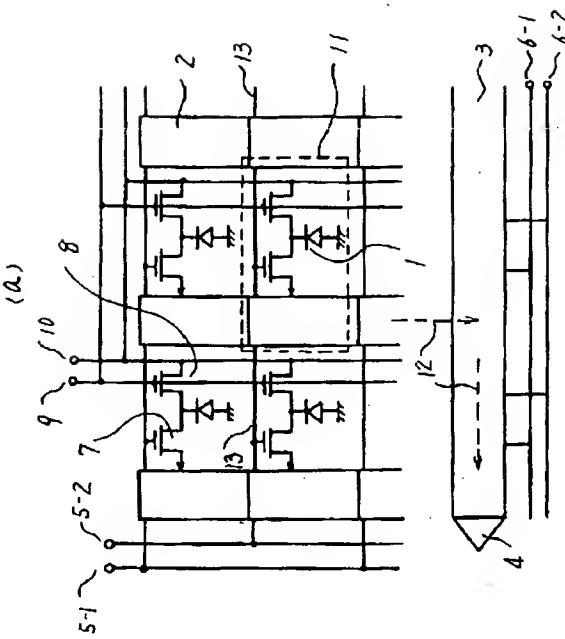
本発明によれば、固体撮像素子の感度を大幅に向上することができるという効果がある。

#### 図面の簡単な説明

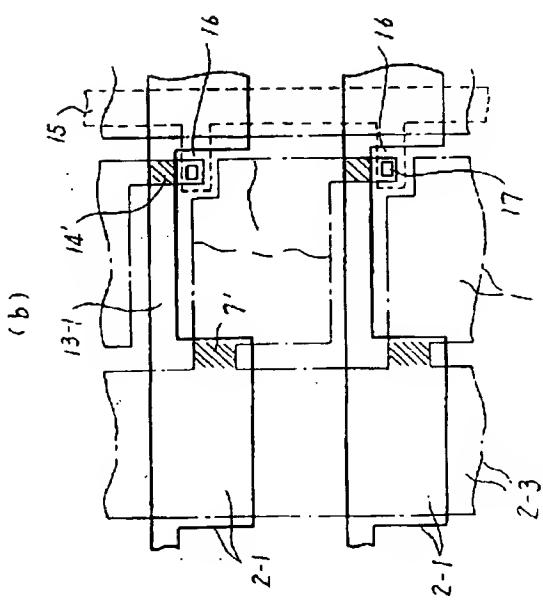
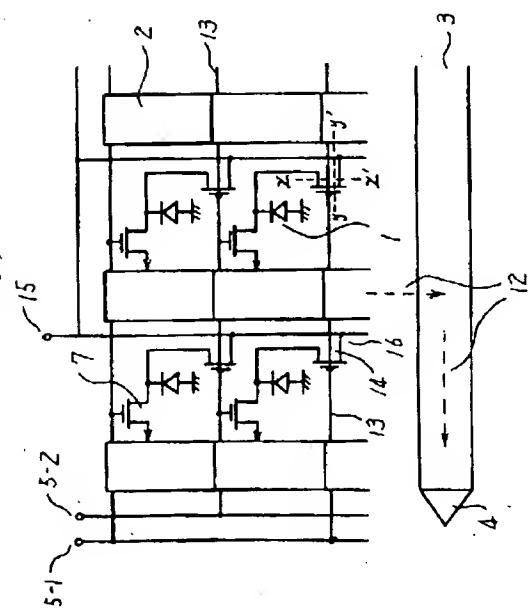
第1図は従来のCCD形撮像素子を示す図、第2図は本発明の実施例を示す図、第3図は第2図の一部断面構造を示す図、第4図、第5図及び第6図は本発明の他の実施例を示す図、第7図は本発明の実施例を示す図、第8図は第7図の一部断面構造を示す図、第9図から第18図は本発明のさらに他の実施例を示す図である。

代理人 弁理士 小川勝男

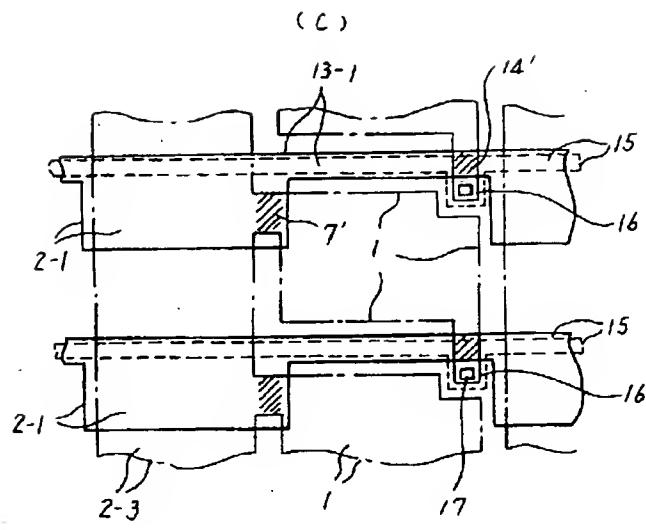
第1図



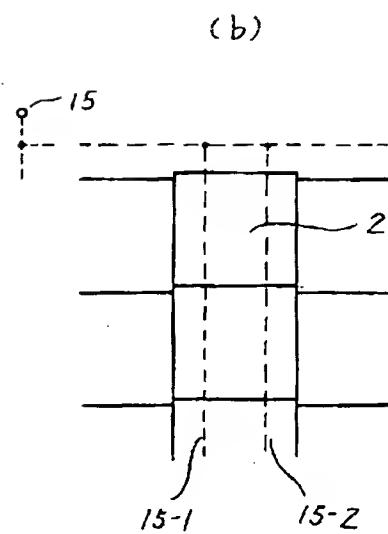
第2図



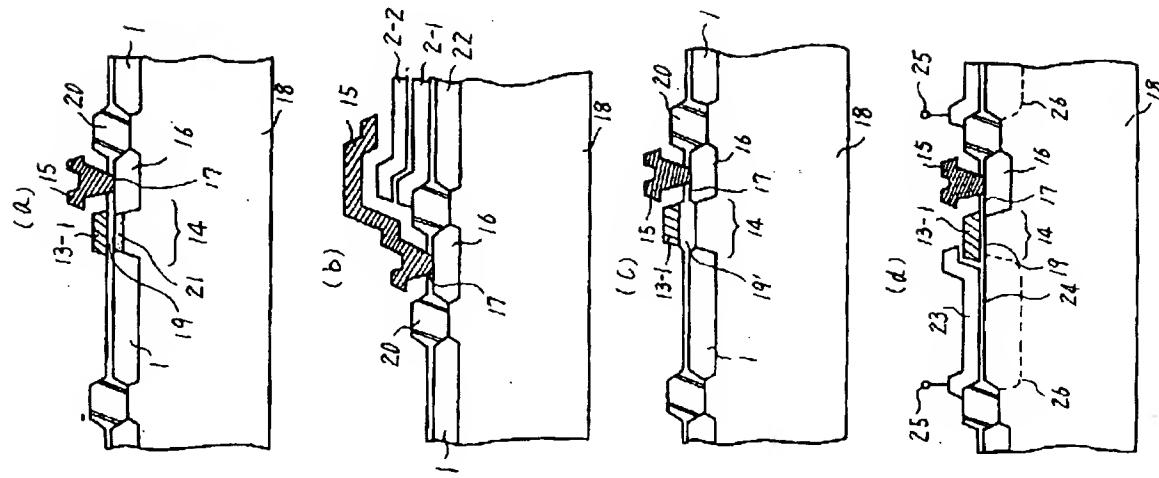
第2図



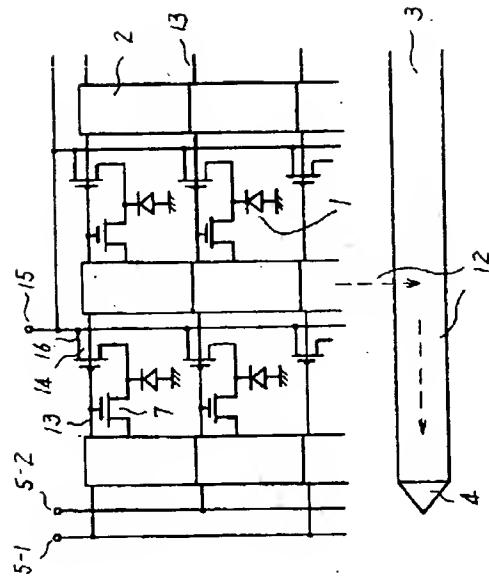
第5図



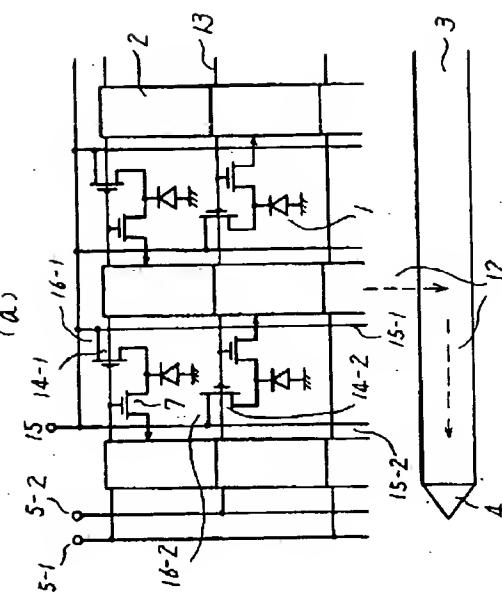
第3図



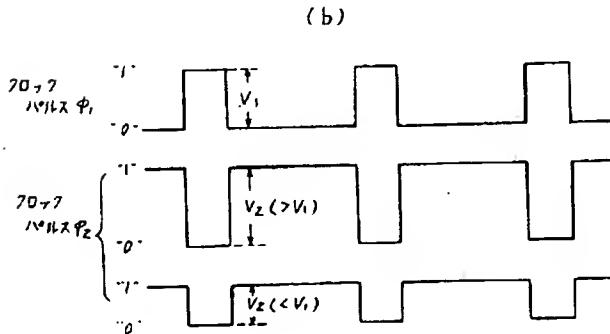
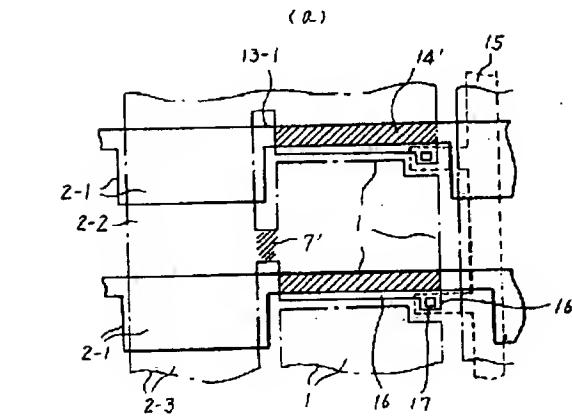
第4図



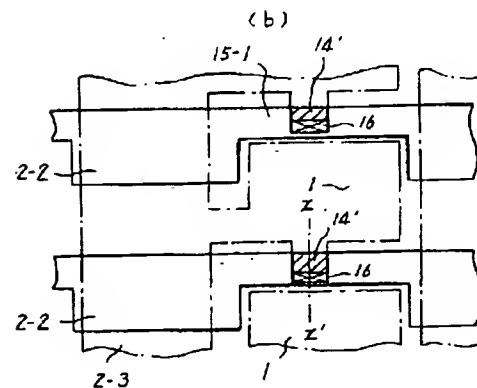
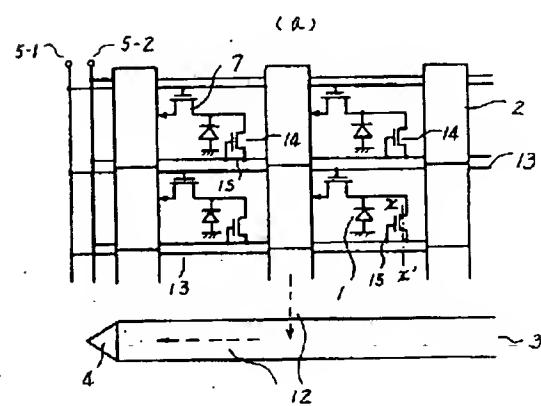
第5図



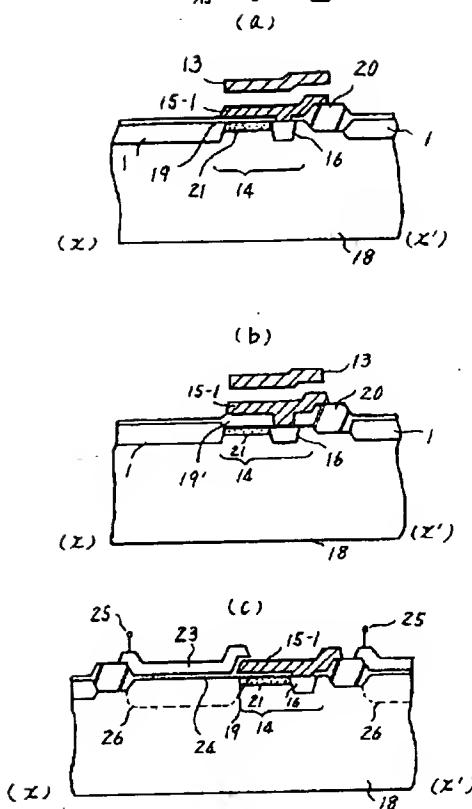
第6図



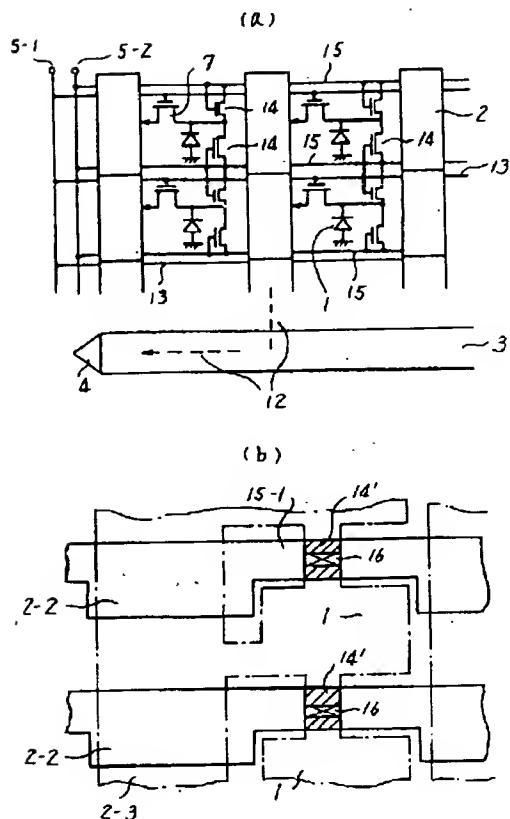
第7図



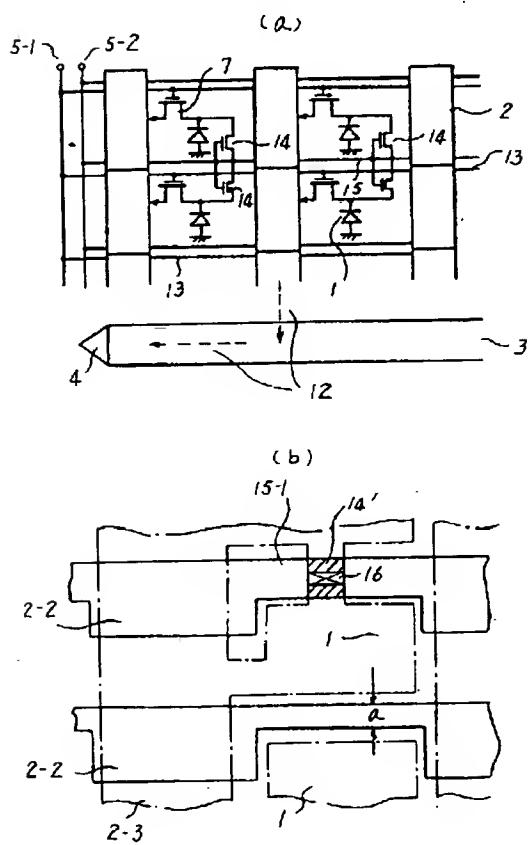
第 8 図



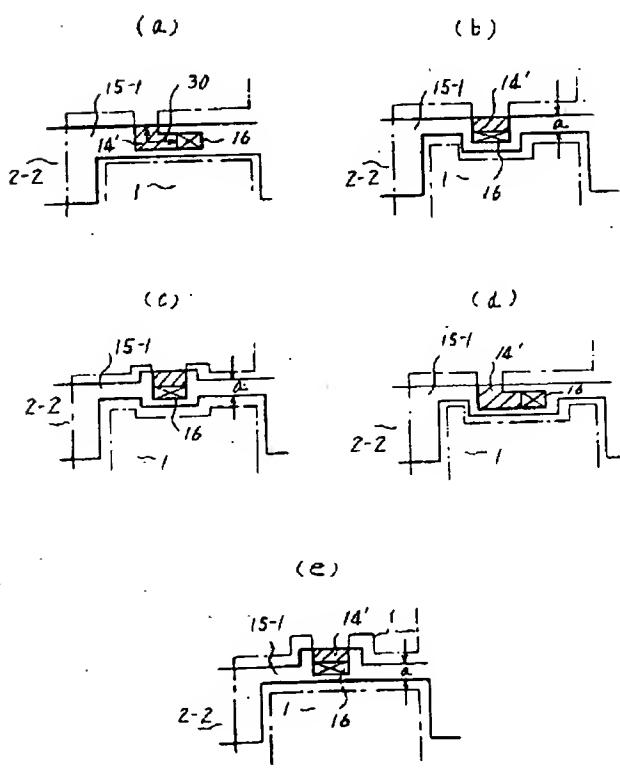
第 9 図



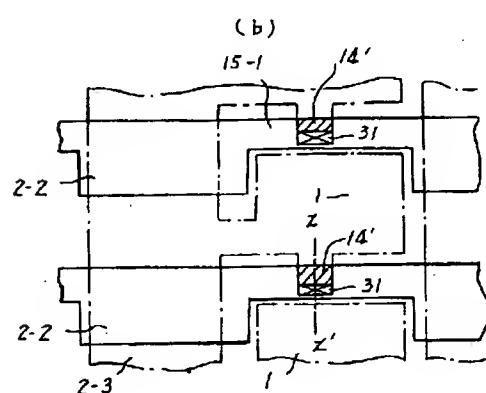
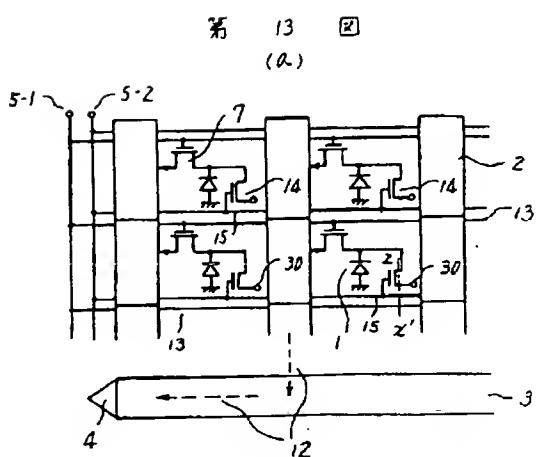
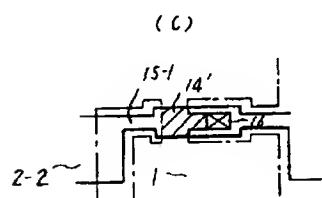
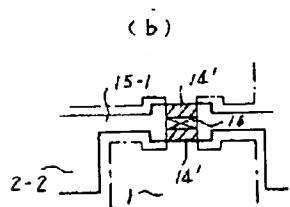
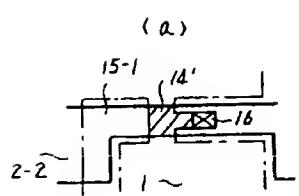
第 10 図



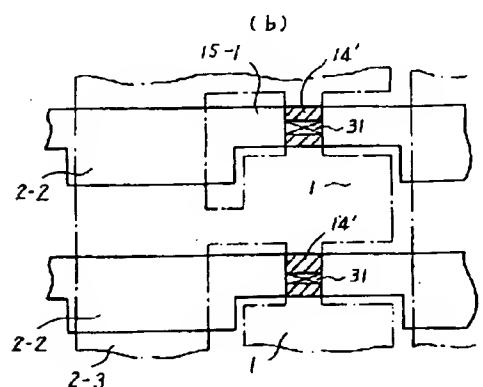
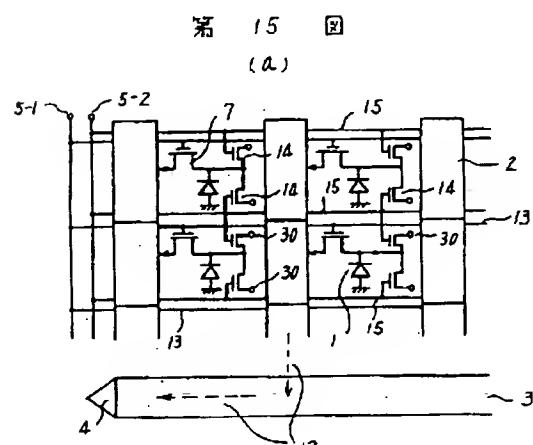
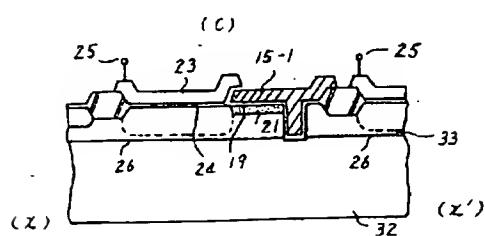
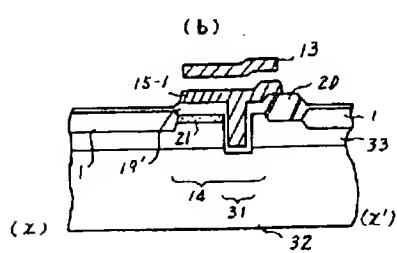
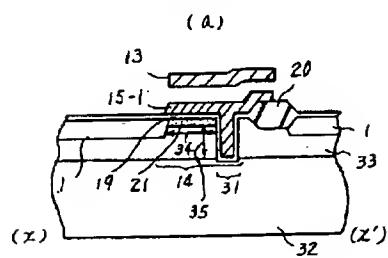
第 11 図



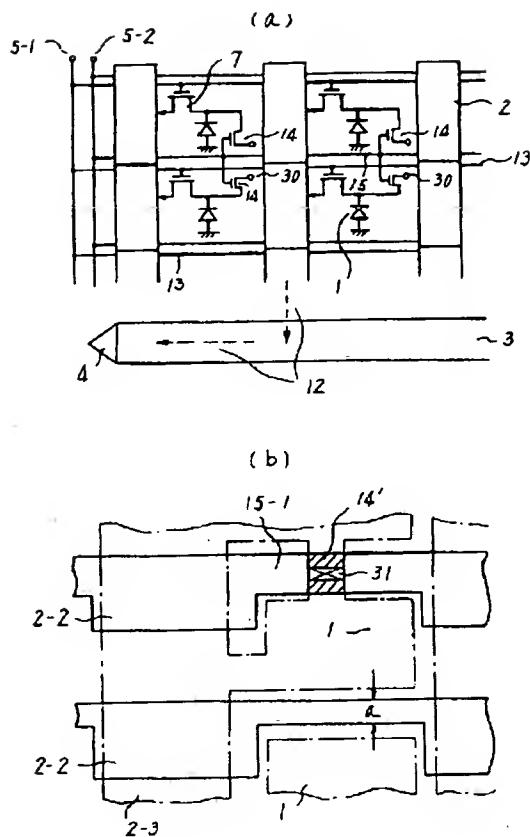
第12図



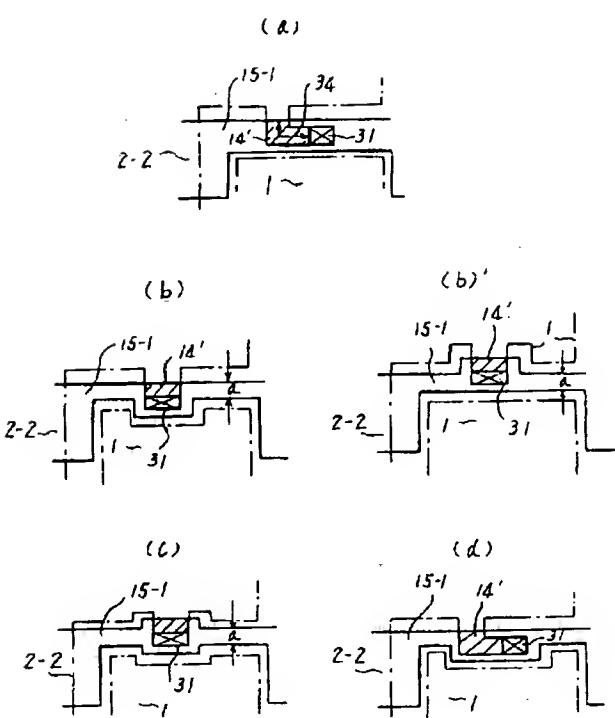
第14図



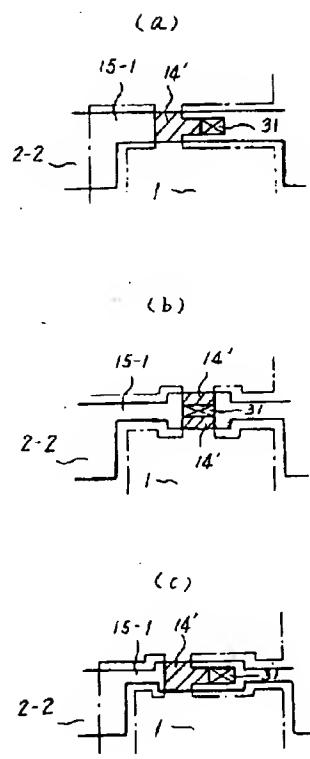
第 16 図



第 17 図



第 18 図



第1頁の続き

②発明者 尾崎 俊文 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**